

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 2 7 0 5 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 2 7 0 5 5]

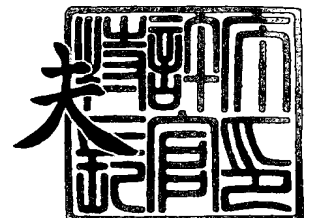
出 願 人 株 式 会 社 日 立 デ ィ ス プ レ イ ズ
Applicant(s):



2 0 0 4 年 3 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 330200261

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 落合 孝洋

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 小野 記久雄

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 桶 隆太郎

【特許出願人】

【識別番号】 502356528

【氏名又は名称】 株式会社日立ディスプレイズ

【代理人】

【識別番号】 100083552

【弁理士】

【氏名又は名称】 秋田 収喜

【電話番号】 03-3893-6221

【手数料の表示】

【予納台帳番号】 014579

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】 基板上面側に形成された信号線と、この信号線の端子部の形成領域を回避して、該端子部の形成領域を間にした一方側の前記信号線と他方側の前記信号線とを電氣的に接続させて形成された配線層と、前記端子部の形成領域に孔開けされて前記信号線と配線層を被って形成された絶縁膜とを備えることを特徴とする表示装置。

【請求項 2】 基板の上面側に形成された信号線と、前記信号線をその端子部を除くように被って形成される絶縁膜と、前記端子部を横切るようにして前記信号線の延在方向に延在される導電層とからなり、

前記導電層の延在方向と平行な各辺のそれぞれと前記絶縁膜との間に隙間を有し、この隙間に相当する部分の前記信号線にその延在方向に沿った孔が形成されていることを特徴とする表示装置。

【請求項 3】 表示領域にゲート信号線とドレイン信号線とを備え、前記信号線の材料は該ゲート信号線のそれと同一で、前記導電層の材料は該ドレイン信号線のそれと同一であることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】 表示領域にゲート信号線とドレイン信号線とこれら各信号の間に形成される層間絶縁膜とを備え、前記絶縁膜の材料は該層間絶縁膜のそれと同一であることを特徴とする表示装置。

【請求項 5】 基板の上面側に形成された信号線と、この信号線の端子部において、該信号線の下層に第 1 絶縁膜を介して該信号線を横切るようにして形成された半導体層と、前記信号線をも被って前記基板上に形成され、前記半導体層の形成領域に孔開けがなされた第 2 絶縁膜と、前記信号線の延在方向の各辺は該信号線の両脇に配置される前記各半導体層と接続される導電層とを備え、

前記半導体層は前記信号線をマスクとして不純物が導入されることによって低抵抗化されていることを特徴とする表示装置。

【請求項 6】 表示領域にゲート信号線とドレイン信号線とを備え、前記信号線の材料は該ゲート信号線のそれと同一で、前記導電層の材料は該ドレイン信

号線のそれと同一であることを特徴とする請求項5に記載の表示装置。

【請求項7】 表示領域に薄膜トランジスタを備え、前記半導体層の材料は該薄膜トランジスタの半導体層のそれと同一であることを特徴とする請求項5に記載の表示装置。

【請求項8】 表示領域に薄膜トランジスタを備え、前記第1絶縁膜の材料は該薄膜トランジスタのゲート絶縁膜のそれと同一であることを特徴とする請求項5に記載の表示装置。

【請求項9】 表示領域にゲート信号線とドレイン信号線とこれら各信号の間に形成される層間絶縁膜とを備え、前記第2絶縁膜の材料は該層間絶縁膜のそれと同一であることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は表示装置に係り、特に、その信号線の端子構造に関する。

【0002】

【従来の技術】

たとえば、アクティブ・マトリクス型の表示装置は、その基板上の各画素にスイッチング素子を備え、ゲート信号線に供給される走査信号が列状に並設された各画素のスイッチング素子をオンさせ、これら各スイッチング素子を介してそれぞれドレイン信号線に供給される映像信号が各画素に供給されるように構成されている。

【0003】

このため、前記画素の集合体で構成される表示部の周辺には、各ゲート信号線に走査信号を供給させるための端子、各ドレイン信号線に映像信号を供給させるための端子が、それぞれ並設されて形成されている。

【0004】

そして、これらの各端子は、絶縁膜で被われた前記信号線の端子部において該絶縁膜に孔開けをすることにより該信号線の一部を露出させ、この露出された部分および孔開けされた絶縁膜の周辺を被うようにして導電層を形成して構成され

ている（特許文献 1、2 参照）。

【0005】

また、このように構成される表示装置において、その製造時には、前記基板ととは少し大きめのものを用い、前記各端子に対し画素側とは反対側の方向に信号線を延在させて形成し、これら各信号線を他の配線層によって共通に接続させるようにし、製造完了の前にて前記配線層が形成されている部分を基板ごと切り離すようにするのが通常である。

【0006】

前記配線層によって各信号線を共通に接続するのは、たとえば一つの端子に静電気が侵入した場合に前記配線層を通して各信号線に静電気を分散させ、これにより該静電気による前記スイッチング素子の破壊を防止せんがためである。

【0007】

【特許文献 1】

特開平 7-235541 号公報

【特許文献 2】

特開平 7-72508 号公報

【0008】

【発明が解決しようとする課題】

しかし、上述した表示装置は、絶縁膜から露出したたとえば一つの端子に静電気が侵入した場合、その静電気によるジュール熱で該端子自体が破壊され、これにより該端子に接続される信号線と前記配線層との接続が断たれ、静電気の分散の効果が得られず、該端子に接続される信号線に接続されているスイッチング素子を破壊させてしまうという不都合が指摘されるに至った。

【0009】

本発明は、このような事情に基づいてなされたもので、その目的は、静電気による弊害を解消させることのできる端子を備える表示装置を提供することにある。

【0010】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0011】

手段1.

本発明による表示装置は、たとえば、基板上面側に形成された信号線と、この信号線の端子部の形成領域を回避して、該端子部の形成領域を間にした一方側の前記信号線と他方側の前記信号線とを電氣的に接続させて形成された配線層と、前記端子部の形成領域に孔開けされて前記信号線と配線層を被って形成された絶縁膜とを備えることを特徴とするものである。

【0012】

手段2.

本発明による表示装置は、たとえば、基板の上面側に形成された信号線と、前記信号線とその端子部を除くように被って形成される絶縁膜と、前記端子部を横切るようにして前記信号線の延在方向に延在される導電層とからなり、

前記導電層の延在方向と平行な各辺のそれぞれと前記絶縁膜との間に隙間を有し、この隙間に相当する部分の前記信号線にその延在方向に沿った孔が形成されていることを特徴とするものである。

【0013】

手段3.

本発明による表示装置は、たとえば、手段2の構成を前提とし、表示領域にゲート信号線とドレイン信号線とを備え、前記信号線は該ゲート信号線のそれと同一で、前記導電層は該ドレイン信号線のそれと同一であることを特徴とするものである。

【0014】

手段4.

本発明による表示装置は、たとえば、手段2の構成を前提とし、表示領域にゲート信号線とドレイン信号線とこれら各信号の間に形成される層間絶縁膜とを備え、前記絶縁膜は該層間絶縁膜のそれと同一であることを特徴とするものである。

【0015】

手段5.

本発明による表示装置は、たとえば、基板の上面側に形成された信号線と、この信号線の端子部において、該信号線の下層に第1絶縁膜を介して該信号線を横切るようにして形成された半導体層と、前記信号線をも被って前記基板上に形成され、前記半導体層の形成領域に孔開けがなされた第2絶縁膜と、前記信号線の延在方向の各辺は該信号線の両脇に配置される前記各半導体層と接続される導電層とを備え、

前記半導体層は前記信号線をマスクとして不純物が導入されることによって低抵抗化されていることを特徴とするものである。

【0016】

手段6.

本発明による表示装置は、たとえば、手段5の構成を前提とし、表示領域にゲート信号線とドレイン信号線とを備え、前記信号線の方法は該ゲート信号線のそれと同一で、前記導電層の方法は該ドレイン信号線のそれと同一であることを特徴とするものである。

【0017】

手段7.

本発明による表示装置は、たとえば、手段5の構成を前提とし、表示領域に薄膜トランジスタを備え、前記半導体層の方法は該薄膜トランジスタの半導体層のそれと同一であることを特徴とするものである。

【0018】

手段8.

本発明による表示装置は、たとえば、手段5の構成を前提とし、表示領域に薄膜トランジスタを備え、前記第1絶縁膜の方法は該薄膜トランジスタのゲート絶縁膜のそれと同一であることを特徴とするものである。

【0019】

手段9.

本発明による表示装置は、たとえば、手段5の構成を前提とし、表示領域にゲ

ート信号線とドレイン信号線とこれら各信号の間に形成される層間絶縁膜とを備え、前記第2絶縁膜の材料は該層間絶縁膜のそれと同一であることを特徴とするものである。

【0020】

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【0021】

【発明の実施の形態】

以下、本発明による表示装置の実施例を図面を用いて説明をする。

【0022】

実施例1.

《全体の構成》

図2(a)は、本発明による表示装置、たとえば液晶表示装置の全体を示す平面図である。

【0023】

図2(a)において、液晶を介して互いに対向配置される一対の透明基板SUB1、SUB2があり、該液晶は一方の透明基板SUB1に対する他方の透明基板SUB2の固定を兼ねるシール材SLによって封入されている。

【0024】

シール材SLによって囲まれた領域のうちその僅かな周辺を除く中央部の領域には、多数の画素がマトリクス状に配置され、これら画素の集合体は液晶表示部ARを構成するようになっている。

【0025】

この液晶表示部ARは、図2(b)に示すように、そのx方向に延在されy方向に並設されるゲート信号線GLと、y方向に延在されx方向に並設されるドレイン信号線DLとで囲まれる領域を画素領域とし、この画素領域には一方の側のゲート信号線GLからの走査信号によってオンされる薄膜トランジスタTF Tと、この薄膜トランジスタTF Tを介して一方の側のドレイン信号線DLからの映像信号が供給される画素電極PXが備えられている。

【0026】

この画素電極 P X は、透明基板 S U B 2 の液晶側の面に、各画素領域に共通に形成された対向電極 C T との間に電界を発生し、当該画素の液晶の光透過率を制御するようになっている。

【0027】

また、各画素領域には、画素電極 P X に供給された映像信号を比較的長い時間蓄積できるように、当該画素の薄膜トランジスタ T F T を駆動させるゲート信号線 G L と当該画素を挟んで配置される他のゲート信号線 G L と前記画素電極 P X との間に容量素子 C a d d が形成されている。

【0028】

前記ゲート信号線 G L のそれぞれの各端は前記シール材 S L の内側に近接して形成された走査信号駆動回路 V 1、V 2 に接続され、この走査信号駆動回路 V 1、V 2 によって各ゲート信号線 G L のそれぞれには走査信号が順次供給されるようになっている。

【0029】

また、前記ドレイン信号線 D L のそれぞれのたとえば図中下端は前記シール材 S L の内側に近接した形成された映像信号分割駆動回路 H d に接続され、この映像信号分割駆動回路 H d によって各ドレイン信号線 D L のそれぞれには映像信号が供給されるようになっている。

【0030】

なお、前記映像信号分割駆動回路 H d が形成された側の透明基板 S U B 1 の端辺であって前記シール材 S L の外側には、該映像信号分割駆動回路 H d に信号を供給する映像信号駆動回路 H の出力端子が接続されている。

【0031】

この映像信号駆動回路 H は、たとえばフィルムキャリア方式で形成された複数の半導体装置 T C P から構成されている。ここで、フィルムキャリア方式の半導体装置 T C P は、フレキシブル基板の表面に半導体チップが搭載され、その入力バンプおよび出力バンプは該フレキシブル基板上に形成された配線層を介してそれぞれ入力端子および出力端子に引き出された構成となっている。

【0032】

さらに、各半導体装置TCPからなる映像信号駆動回路Hの入力端子は透明基板SUB1に近接して配置されるプリント基板PCBに接続され、このプリント基板PCB側から前記映像信号駆動回路Hへ信号が供給されるようになっている。

【0033】

このプリント基板PCBには表示制御回路TCON等が搭載され、このプリント基板PCB側からフレキシブル基板FPCを介して前記走査信号駆動回路V1、V2にも信号が供給されるようになっている。

【0034】

なお、ここに示す液晶表示装置は、前記薄膜トランジスタTFTはその半導体層がたとえばポリシリコン(p-Si)から構成され、これにともない、前記走査信号駆動回路V1、V2および映像信号分割駆動回路Hdを構成するMIS(Metal Insulator Semiconductor)型のトランジスタの半導体層もポリシリコンから構成されている。

【0035】

《ドレイン信号線の端子部》

図1は、透明基板SUB1の周辺において、映像信号駆動回路Hの出力端子が接続されるドレイン信号線DLの端子部の構成を示す平面図で、たとえば図2(a)の枠Aの部分に配置されるドレイン信号線DLの端子部を示している。

【0036】

すなわち、このドレイン信号線DLは、液晶表示部ARに形成されるドレイン信号線DLが映像信号分割回路Hdを介して透明基板SUB1の周辺にまで至って形成される信号線のうち、前記映像信号分割回路Hdから延在される信号線の部分を示している。

【0037】

また、図1(b)は図1(a)のb-b線における断面図を、図1(c)は図1(a)のc-c線における断面図を示している。

【0038】

図1 (a)、(b)、(c)において、ドレイン信号線DLは透明基板SUB 1の面に順次形成された下地膜UC、第1絶縁膜GIの表面に形成されている。ここで、下地膜UCは透明基板SUB 1内のイオン性の物質が前記薄膜トランジスタTFT等に侵入するのを防止するために設けられた膜であり、第1絶縁膜は該薄膜トランジスタTFTの形成領域においてそのゲート絶縁膜として機能させる膜で、これらはいずれも透明基板SUB 1の周辺にまで及んで形成されたものである。

【0039】

前記映像信号分割回路Hdから延在されるドレイン信号線DLは、液晶表示部ARにおいて形成されるゲート信号線GLの形成の際に同時に形成されるようになっており、このため、その材料はゲート信号線GLのそれと同様となっている。

【0040】

そして、透明基板SUB 1の表面には該ドレイン信号線DLを、その端子部を形成する領域を除いて、被うようにして第2絶縁膜INが形成されている。この第2絶縁膜INは、液晶表示部ARの領域においてゲート信号線GLとドレイン信号線DLとの間に形成される層間絶縁膜として機能するもので、透明基板SUB 1の周辺にまで及んで形成されたものである。

【0041】

前記ドレイン信号線DLの第2絶縁膜INから露呈された部分はたとえば該ドレイン信号線DLの走行方向と平行な2辺を有する矩形状をなし、この部分の前記それぞれの各辺に沿って、すなわち該ドレイン信号線DLの走行方向に沿って、該ドレイン信号線DLには長孔HLが形成されている。この長孔HLは該ドレイン信号線DLの下層に設けられた第1絶縁膜GIを露出させて形成されるようになっている。

【0042】

また、前記ドレイン信号線DLの第2絶縁膜INから露呈された部分には、前記長孔HLを両脇に位置づけて、該ドレイン信号線DLの延在方向に延在される導電層MTが形成され、この導電層MTの各端部のそれぞれは前記ドレイン信号

線DLの第2絶縁膜INから露呈された部分を若干越えて延在され、この結果該第2絶縁膜IN上に重畳されるようにして形成されている。

【0043】

前記導電層MTは、前記ドレイン信号線DLの第2絶縁膜INから露呈された部分において、該ドレイン信号線DLと直接に当接して形成され、この部分においてドレイン信号線DLの端子部を構成するようになっている。

【0044】

なお、前記導電層MTは、たとえば液晶表示部ARにドレイン信号線DLを形成する際に同時に形成されるもので、その材料はドレイン信号線DLのそれと同様となっている。

【0045】

このように構成されたドレイン信号線DLの端子部の近傍は、該ドレイン信号線DLの延在方向に沿って形成された2つの前記長孔HLによって、電気的には3つの電気的経路が形成されることになる。これにより前記ドレイン信号線DLの端子部にまで至る電気的抵抗をR1、前記3つの経路におけるそれぞれの電気的抵抗をR2、R3、R4とした場合、その等価回路は図1(d)に示すようになる。

【0046】

そして、このうち前記長孔HLの外側にある抵抗R2、R4に相当する電気経路は第2絶縁膜INの下方に存在するように構成されている。すなわち、たとえば端子部を構成する導電層MTを通して静電気が侵入し、そのジュール熱で該導電層MTが破壊されても、第2絶縁膜INの下方に存在する電気経路、すなわちドレイン信号線DLの一部はその延在方向に残存するようになる。

【0047】

図3(a)は、上述した液晶表示装置において、その製造工程中における前記端子部の近傍の構成を示した図で、図1(a)に対応した図となっている。また、図3(b)は図3(a)のb-b線における断面図を、図3(c)は図3(a)のc-c線における断面図を示している。

【0048】

透明基板 SUB1 は、前記端子の外方（液晶表示部 AR に対して）にも延在され、液晶表示装置の製品として完成する透明基板 SUB1 よりも大きなものを使用されている。

【0049】

この透明基板 SUB1 の延在部にはドレイン信号線 DL と直交する方向に延在する配線層 CL が形成され、この配線層 CL は前記各ドレイン信号線 DL とたとえば一体的に形成されて電氣的に接続されている。この場合における等価回路を図 3（d）に示している。

【0050】

このようにすることにより、たとえば一つのドレイン信号線 DL の端子に静電気が侵入した場合に前記配線層 CL を通して各ドレイン信号線 DL に静電気を分散させ、これにより該静電気による前記スイッチング素子の破壊を防止することができる。

【0051】

ここで、上述したように、静電気が侵入した端子は、たとえば導電層 MT およびその下層のドレイン信号線 DL の部分が破壊しても、その両脇において第 2 絶縁膜 IN の下層に配置されるドレイン信号線 DL の一部が残存していることから、ドレイン信号線 DL と配線層 CL との断線を惹き起こすことはなくなる。このため、信頼性ある静電対策を達成できる端子を得ることができる。

【0052】

なお、液晶表示装置の製品として完成させる直前においては、該透明基板 SUB1 は図 3（a）中、点線の部分で前記配線層 CL ごと切り落とされる。

【0053】

《端子部の製造方法》

図 4 は、前記ドレイン信号線 DL の端子部における製造方法の一実施例を示す工程図であり、図 1（c）に示す断面図の部分の工程を示す図となっている。以下、工程順に説明する。

【0054】

工程 1.

透明基板 SUB1 を用意する (図 4 (a))。

【0055】

工程 2.

該透明基板 SUB1 の主表面に下地膜 UC を形成し、その表面に第 1 絶縁膜 GI を形成する。なお、図には示されていないが、液晶表示部 AR において下地膜 UC の形成後に各画素に形成される薄膜トランジスタ TFT の半導体層 (p-Si) が形成され、前記第 1 絶縁膜 GI は該薄膜トランジスタ TFT のゲート絶縁膜として機能する膜となっている (図 4 (b))。

【0056】

工程 3.

前記第 1 絶縁膜 GI の表面の全域に第 1 導電層 CDL1 を形成する。この導電層 CDL1 は液晶表示部 AR においてはゲート信号線 GL を、ドレイン信号線 DL の端子部の近傍においては該ドレイン信号線 DL を形成する材料層となる。すなわち、このドレイン信号線 DL は液晶表示部 AR において形成されるそれとは、映像信号分割駆動回路 Hd を介して電氣的に接続されているが、異なる層として形成されるようになっている (図 4 (c))。

【0057】

工程 4.

前記第 1 導電層 CDL1 をパターン化してドレイン信号線 DL を形成する (図 4 (d))。

【0058】

工程 5.

前記ドレイン信号線 DL をも被って透明基板 SUB1 の表面に第 2 絶縁膜 IN を形成する。この第 2 絶縁膜 IN は液晶表示部 AR において前記ゲート信号線 GL とこれ以降の工程で形成されるドレイン信号線 DL との層間絶縁を図る膜となっている (図 4 (e))。

【0059】

工程 6.

ドレイン信号線 DL の端子部を形成する領域において前記第 2 絶縁膜 IN に孔

開けをし、これにより該第2絶縁膜INから前記ドレイン信号線DLの一部を露呈させる(図4(f))。

【0060】

工程7.

第2絶縁膜INの孔をも被って透明基板SUB1の表面の全域に第2導電層CDL2形成する。この第2導電層CDL2は液晶表示部ARにおいてドレイン信号線DLの材料として形成されるものである(図4(g))。

【0061】

工程8.

前記第2導電層CDL2をパターン化して導電層MTを形成する。この場合、ドレイン信号線DLの端子部において、前記第2絶縁層INに形成された孔の部分、およびこの孔の周辺部に該第2導電層CDL2を残存させるが、前記孔の該ドレイン信号線DLの延在方向と同じ方向の各辺に沿った長孔HLを形成し、この長孔HLは前記ドレイン信号線DLにまで至り、その下層の第1絶縁膜GIをも露呈させるようにして形成する(図4(h))。

【0062】

実施例2.

図5は、前記ドレイン信号線DLの端子部における製造方法の他の実施例を示す工程図で、図4に対応した図となっている。以下、工程順に説明する。

【0063】

工程1.

透明基板SUB1を用意する(図5(a))。

【0064】

工程2.

該透明基板SUB1の主表面に下地膜UCを形成し、その表面に第1絶縁膜GIを形成する。なお、図には示されていないが、液晶表示部ARにおいて下地膜UCの形成後に各画素に形成される薄膜トランジスタTFTの半導体層(p-Si)が形成され、前記第1絶縁膜GIは該薄膜トランジスタTFTのゲート絶縁膜として機能する膜となっている(図5(b))。

【0065】

工程 3.

前記第 1 絶縁膜 G I の表面の全域に第 1 導電層 C D L 1 を形成する。この第 1 導電層 C D L 1 は液晶表示部 A R においてはゲート信号線 G L を、ドレイン信号線 D L の端子部の近傍においては該ドレイン信号線 D L を形成する材料層となる。すなわち、このドレイン信号線 D L は液晶表示部 A R において形成されるそれとは、映像信号分割駆動回路 H d を介して電氣的に接続されているが、異なる層として形成されるようになっている（図 5（c））。

【0066】

工程 4.

前記第 1 導電層 C D L 1 をパターン化してドレイン信号線 D L を形成する。この際に同時に該ドレイン信号線 D L の端子部形成領域に該ドレイン信号線 D L の延在方向に沿う 2 個の長孔を形成する（図 5（d））。

【0067】

工程 5.

前記ドレイン信号線 D L をも被って透明基板 S U B 1 の表面に第 2 絶縁膜 I N を形成する。この第 2 絶縁膜 I N は液晶表示部 A R において前記ゲート信号線 G L とこれ以降の工程で形成されるドレイン信号線 D L との層間絶縁を図る膜となっている（図 5（e））。

【0068】

工程 6.

ドレイン信号線 D L の端子部を形成する領域において前記第 2 絶縁膜 I N に孔開けをし、これにより該第 2 絶縁膜 I N から前記ドレイン信号線 D L の一部を露呈させる。この場合、前記孔の各辺のうち該ドレイン信号線 D L の延在方向と同じ方向の各辺に近接するようにして長孔 H L を形成し、この長孔 H L によって第 1 絶縁膜 G I をも露呈させる（図 5（f））。

【0069】

工程 7.

第 2 絶縁膜 I N の孔をも被って透明基板 S U B 1 の表面の全域に第 2 導電層 C

D L 2 を形成する。この第 2 導電層 C D L 2 は液晶表示部 A R においてドレイン信号線 D L の材料として形成されるものである（図 5（g））。

【0070】

工程 8.

前記第 2 導電層 C D L 2 をパターン化し導電層 M T を形成する。この場合、ドレイン信号線 D L に形成された前記長孔 H L をも露呈させるようにする（図 5（h））。

【0071】

実施例 3.

図 6 は、本発明による表示装置の他の実施例を示す構成図で、図 1 に対応した図となっている。図 6（a）は平面図、図 6（b）は図 6（a）の b－b 線における断面図、図 6（c）は図 6（a）の c－c 線における断面図である。

【0072】

図 1 の場合と比較して異なる構成は、まず、液晶表示部 A R における薄膜トランジスタ T F T の半導体層を形成する際に、この半導体層をドレイン信号線 D L の端子部の形成に利用することにある。

【0073】

すなわち、薄膜トランジスタ T F T の半導体層は第 1 絶縁膜（ゲート絶縁膜）G I を介してゲート電極（ゲート信号線 G L）の下層に位置づけられているため、この端子部においても、半導体層 P S は、前記ゲート信号線 G L の形成の際に同時に形成するドレイン信号線 D L の下層に第 1 絶縁膜 G I を介して形成されている。

【0074】

該半導体層 P S は、前記ドレイン信号線 D L の端子部の形成領域において、該ドレイン信号線 D L の延在方向に直交する方向に該ドレイン信号線 D L からはみ出して形成されたたとえば矩形状のパターンをなしている。

【0075】

ここで、液晶表示部において、ゲート電極をマスクとして不純物がドーピングされて薄膜トランジスタ T F T のソース領域、ドレイン領域が形成されることから、

この端子部における前記半導体層 P S のうち、ドレイン信号線 D L からはみ出して形成された部分は導電化されるようになっている。

【0076】

また、前記ドレイン信号線 D L を被う第 2 絶縁膜 I N には、前記端子部の形成領域であって、前記半導体層 P S とほぼ中心を一致させて、該半導体層 P S よりも小さな面積でほぼ同形の孔開けがなされている。換言すれば、第 2 絶縁膜 I N に形成された孔 H L の周辺部の下層には前記半導体層 P S が延在されて形成されている。

【0077】

そして、この第 2 絶縁膜 I N の該孔 H L から露出された前記ドレイン信号線 D L を被うようにして導電層 M T が形成され、この導電層 M T の該ドレイン信号線 D L の延在側の端部は該第 2 絶縁膜 I N に重畳されて形成されている。また、この導電層 M T の幅は、ドレイン信号線 D L の延在方向と一致する方向の両脇にて前記半導体層 P S が露出される程度に設定されている。

【0078】

このように構成された端子部は、上述した実施例と同様に、電氣的に 3 つの電氣的経路が形成され、その等価回路は図 6 (d) に示すように構成される。図 6 (d) において、抵抗 R 1' はドレイン信号線 D L の端子部に至るまでの抵抗値、抵抗 R 3' は端子部におけるドレイン信号線 D L とその上層に重畳される導電層 M T の抵抗値、抵抗 R 2' は端子部におけるドレイン信号線 D L の両脇に配置される半導体層 P S のうち一方の側の半導体層 P S の抵抗値、抵抗 R 4' は端子部におけるドレイン信号線 D L の両脇に配置される半導体層 P S のうち他方の側の半導体層 P S の抵抗値である。

【0079】

図 7 (a) は、上述した液晶表示装置において、その製造工程中における前記端子部の近傍の構成を示した図で、図 6 (a) に対応した図となっている。また、図 7 (b) は図 7 (a) の b-b 線における断面図を、図 7 (c) は図 7 (a) の c-c 線における断面図を示している。

【0080】

透明基板 SUB 1 は、前記端子の外方（液晶表示部 AR に対して）にも延在され、液晶表示装置の製品として完成する透明基板 SUB 1 よりも大きなものを使用されている。

【0081】

この透明基板 SUB 1 の延在部にはドレイン信号線 DL と直交する方向に延在する配線層 CL が形成され、この配線層 CL は前記各ドレイン信号線 DL とたとえば一体的に形成されて電氣的に接続されている。この場合における等価回路を図 7（d）に示している。

【0082】

このようにすることにより、たとえば一つのドレイン信号線 DL の端子に静電気が侵入した場合に前記配線層 CL を通して各ドレイン信号線 DL に静電気を分散させ、これにより該静電気による前記スイッチング素子の破壊を防止することができる。

【0083】

ここで、静電気が侵入した端子は、たとえば導電層 MT およびその下層のドレイン信号線 DL の部分が破壊しても、その両脇において第 2 絶縁膜 IN の下層に配置される半導体層 PS の一部が残存していることから、ドレイン信号線 DL と配線層 CL との断線を惹き起こすことはなくなる。このため、信頼性ある静電対策を達成できる端子を得ることができる。

【0084】

なお、液晶表示装置の製品として完成させる直前においては、該透明基板 SUB 1 は図 7（a）中、点線の部分で前記配線層 CL ごと切り落とされる。

【0085】

実施例 4.

図 8 は、実施例 3 に示したドレイン信号線の端子部における製造方法の一実施例を示す工程図であり、図 7（c）に示す断面図の部分の工程を示す図となっている。以下、工程順に説明する。

【0086】

工程 1.

透明基板SUB1を用意する(図4(a))。

【0087】

工程2.

該透明基板SUB1の主表面に下地膜UCを形成し、その表面に半導体層(p-Si)PSを形成する。前記半導体層PSは、液晶表示部ARにおいて薄膜トランジスタTFTの半導体層として機能する膜となっている(図4(b))。

【0088】

工程3.

前記半導体層PSにたとえばレーザアニールを施し、該半導体層PSを結晶化させる(図4(c))。

【0089】

工程4.

前記半導体層PSをパターン化し、端子部の形成領域において後の工程で形成するドレイン信号線DLを横切る形状で該半導体層PSを残存させる。この半導体層PSのパターン化は液晶表示部ARの薄膜トランジスタTFTの半導体層をパターン化する際に同時に行う(図4(d))。

【0090】

工程5.

前記半導体層PSをも被って透明基板SUB1の表面に第1絶縁膜GIを形成する。この第1絶縁膜GIは液晶表示部ARにおいて薄膜トランジスタTFTのゲート絶縁膜として機能させる膜となっている(図4(e))。

【0091】

工程6.

前記第1絶縁膜GIの表面の全域に第1導電層CDL1を形成する。この第1導電層は液晶表示部ARにおいてはゲート信号線GLを形成する材料層となる。(図4(f))。

【0092】

工程7.

前記第1導電膜CDL1をパターン化して、ドレイン信号線DLを形成する(

図4 (g))。

【0093】

工程8.

前記ドレイン信号線DLをマスクとし、該ドレイン信号線DLの両脇からはみ出した前記半導体層PSへ不純物のドーピングを第1絶縁膜GIを通して行なう。これにより、該半導体層PSは該ドレイン信号線DLの両脇において低抵抗の導電層として形成されることになる(図4 (h))。

【0094】

工程9.

前記ドレイン信号線DLをも被って透明基板SUB1の表面に第2絶縁膜INを形成する。この第2絶縁膜INは液晶表示部ARにおいて前記ゲート信号線GLとこれ以降の工程で形成されるドレイン信号線DLとの層間絶縁を図る膜となっている(図4 (i))。

【0095】

工程10.

第2絶縁膜INに孔開けを行ない、この孔HLから半導体層を露呈させる。この場合、この孔HLは前記半導体層PSと中心軸をほぼ一致させ該半導体層PSの面積よりも小さな面積でほぼ同形となっている(図4 (j))。

【0096】

工程11.

第2絶縁膜INの孔HLをも被って透明基板SUB1の表面の全域に第2導電層CDL2を形成する。この第2導電層CDL2は液晶表示部ARにおいてドレイン信号線DLの材料として形成されるものである(図4 (k))。

【0097】

工程12.

前記第2導電層CDL2をパターン化する。パターン化した第2導電層CDL2はドレイン信号線DLの延在方向に沿った各辺の近傍の前記半導体層PSに接続され、かつ、前記各辺と直交する各辺においては第2絶縁膜INに重ねられるようにして形成された形状となっている。

この第2導電層CDL2によって、ドレイン信号線DLはその両脇に形成されている導電化された各半導体層PSと接続されるようになる(図4(1))。

【0098】

実施例5.

図9は、本発明による表示装置の他の実施例を示す構成図で、図1(c)に対応した図となっている。図1(c)の場合と比較して異なる構成は、ドレイン信号線DLの端子部における3つの電氣的経路のうち、真中のそれを除く他の2つの電氣的経路は第2絶縁膜INによって完全に、すなわちその側壁面までもが被われるようにして形成されていることにある。

【0099】

第2絶縁膜INによって完全に被われた前記電氣的経路は静電気による破壊を信頼性よく回避できるからである。

【0100】

実施例6.

図9は、本発明による表示装置の他の実施例を示す構成図で、図1(c)に対応した図となっている。図1(c)の場合と比較して異なる構成は、ドレイン信号線DLの端子部における3つの電氣的経路のうち、真中のそれを除く他の2つの電氣的経路は、その上層に形成される第2絶縁膜INの側壁面よりも奥まった側(0.5 μ m程度)に位置づけられていることにある。

【0101】

このような場合であっても十分に本願発明の目的を達成できるからである。

【0102】

なお、上述した各実施例では、信号線の端子部に形成される導電膜MTは、液晶表示部におけるドレイン信号線DLの材料と同一の材料を用いたものである。しかし、これに限定されることはなく、たとえば画素電極PXの材料と同一の材料、すなわち、ITO(Indium Tin Oxide)、ITZO(Indium Tin Zinc Oxide)、IZO(Indium Zinc Oxide)、SnO₂(酸化スズ)、In₂O₃(酸化インジウム)等の透光性の材料であってもよいことはいうまでもない。

【0103】

さらに、本発明は液晶表示装置を例として実施例を揚げたが、他の表示装置、たとえば有機EL表示装置にも適用できることはいうまでもない。有機EL表示装置においても端子部の構成は液晶表示装置のそれと同様の構成を採用し、かつ同様の課題を有するからである。

【0104】

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

【0105】

【発明の効果】

以上説明したことから明らかなように、本発明による表示装置によれば、静電気による弊害を解消させることのできる端子を備えることができる。

【図面の簡単な説明】

【図1】

本発明による表示装置の端子部の構成の一実施例を示す構成図である。

【図2】

本発明による表示装置の一実施例を示す概略構成図である。

【図3】

本発明による表示装置の製造工程中における端子部およびその近傍の構成の一実施例を示す構成図である。

【図4】

本発明による表示装置の端子部の製造方法の一実施例を示す工程図である。

【図5】

本発明による表示装置の端子部の製造方法の他の実施例を示す工程図である。

【図6】

本発明による表示装置の端子部の構成の他の実施例を示す構成図である。

【図7】

本発明による表示装置の製造工程中における端子部およびその近傍の構成の他の実施例を示す構成図である。

【図 8】

本発明による表示装置の端子部の製造方法の他の実施例を示す工程図である。

【図 9】

本発明による表示装置の端子部の構成の他の実施例を示す断面図である。

【図 1 0】

本発明による表示装置の端子部の構成の他の実施例を示す断面図である。

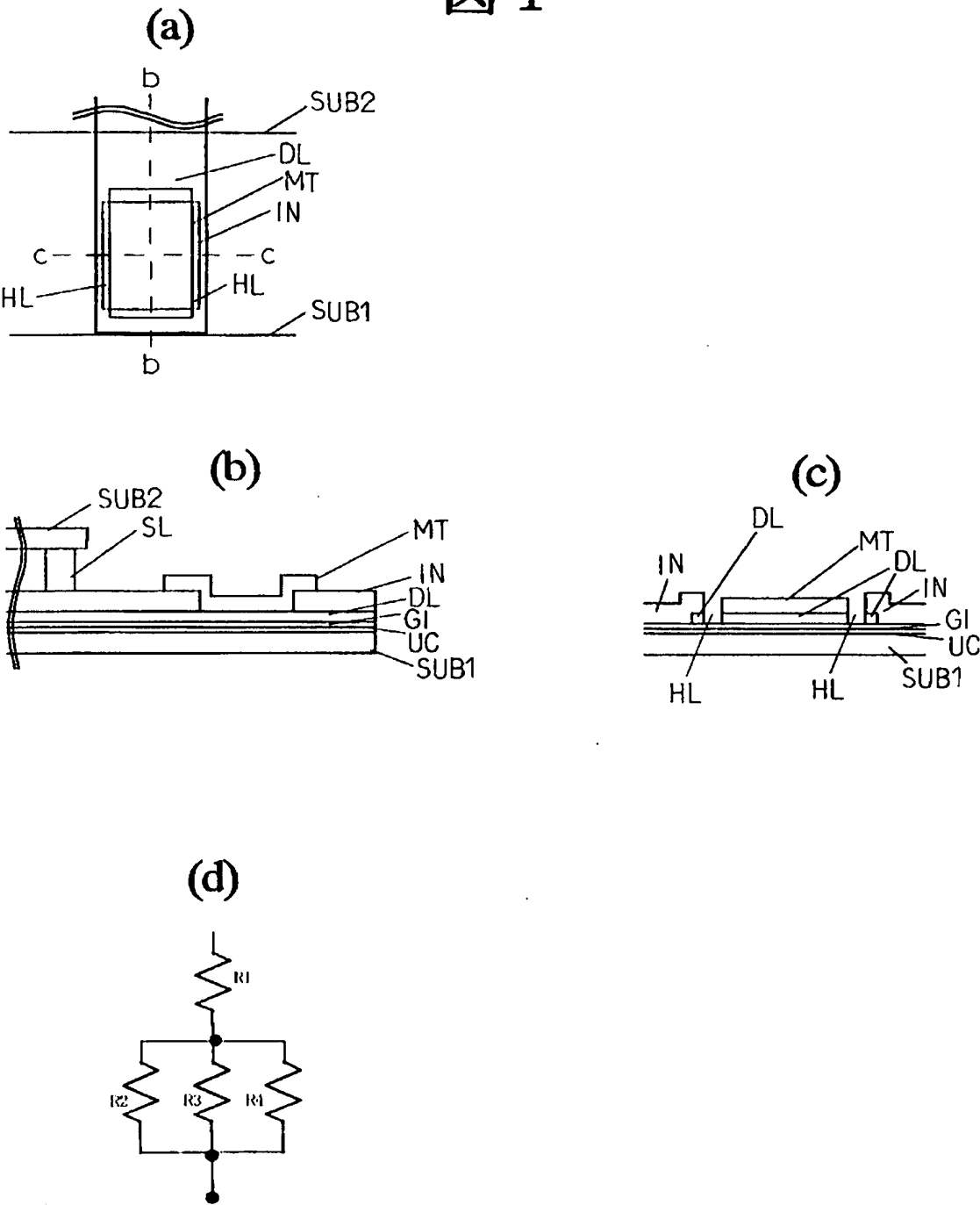
【符号の説明】

SUB 1, SUB 2 ……透明基板、UC ……下地膜、GI ……第 1 絶縁膜、DL ……ドレイン信号線、IN ……第 2 絶縁膜、MT ……導電層、PS ……半導体層。

【書類名】 図面

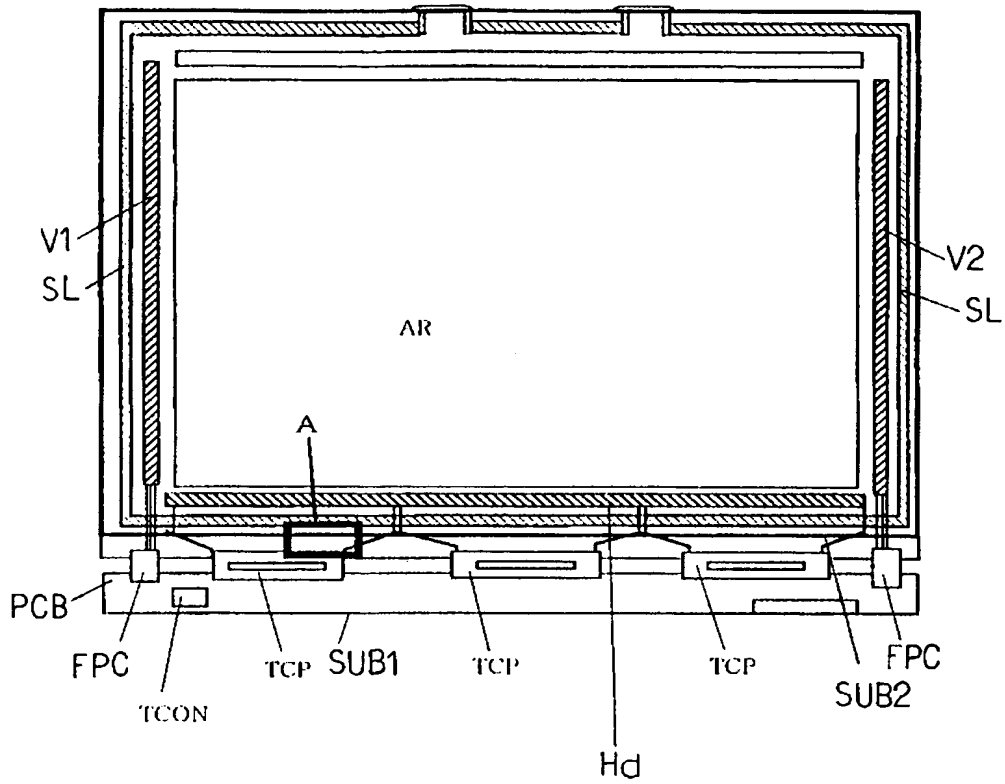
【図 1】

図 1

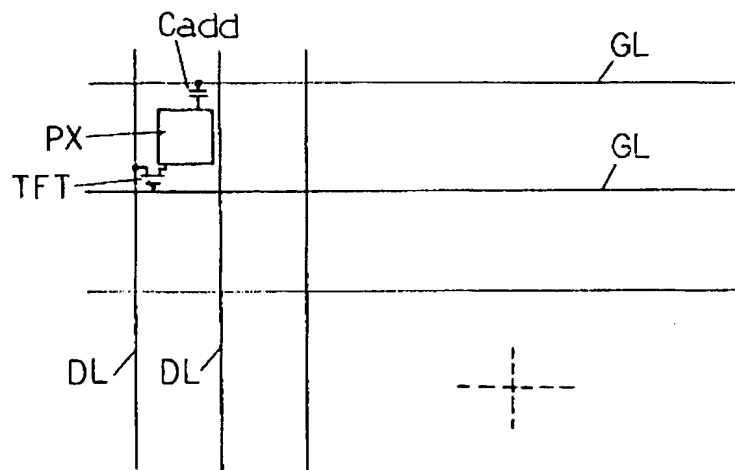


【図 2】

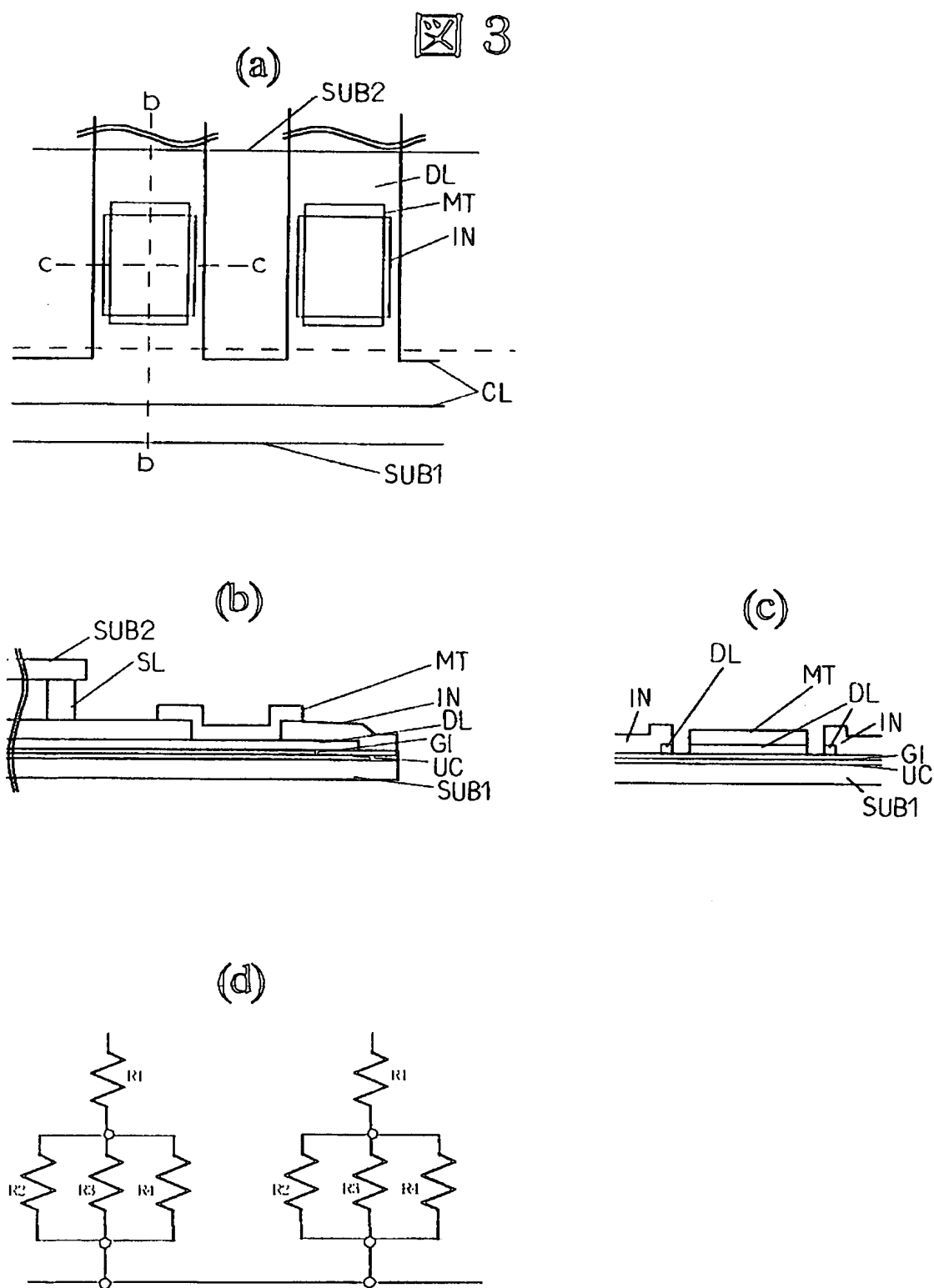
図 2
(a)



(b)

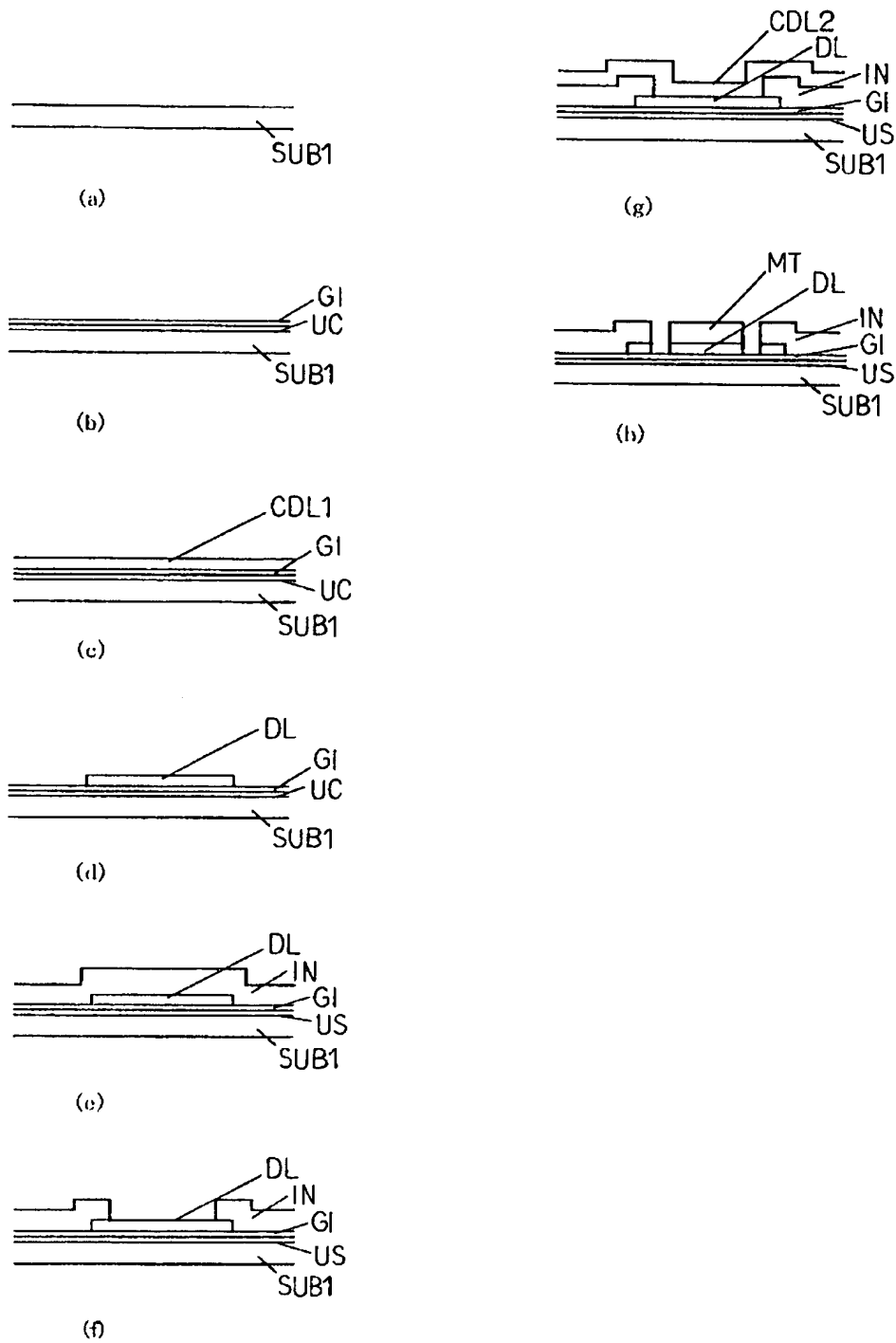


【図 3】



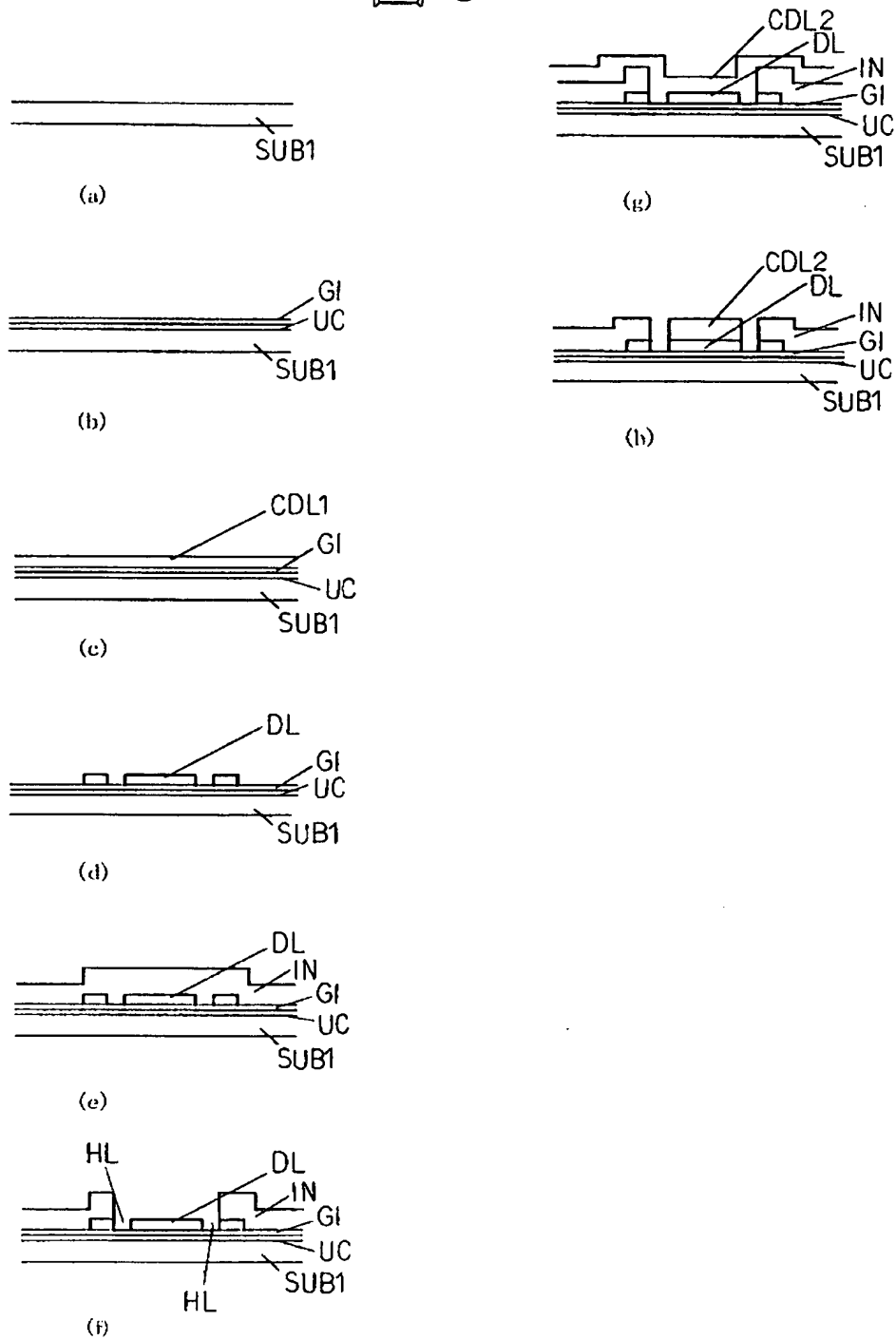
【図 4】

図 4



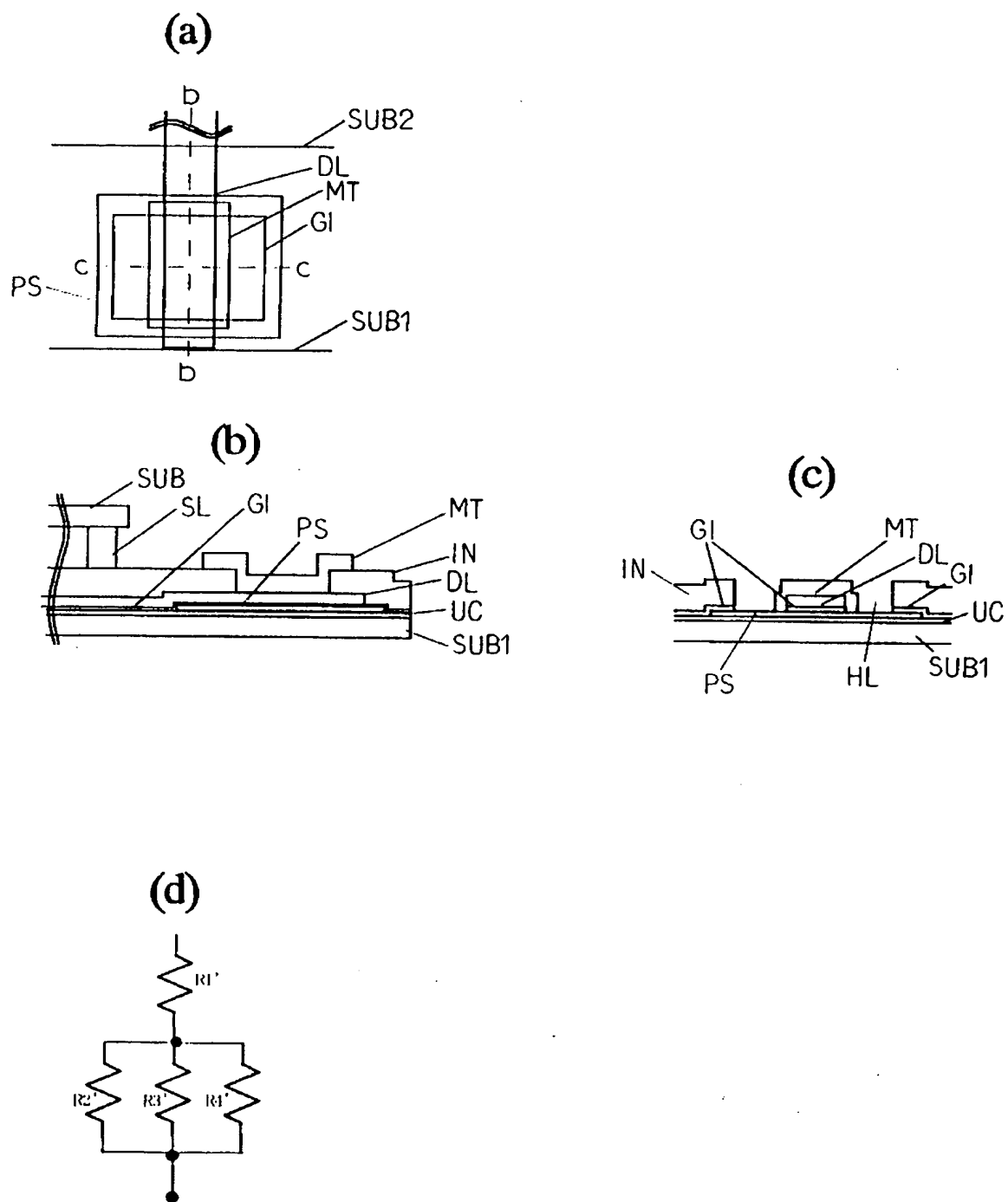
【図 5】

図 5



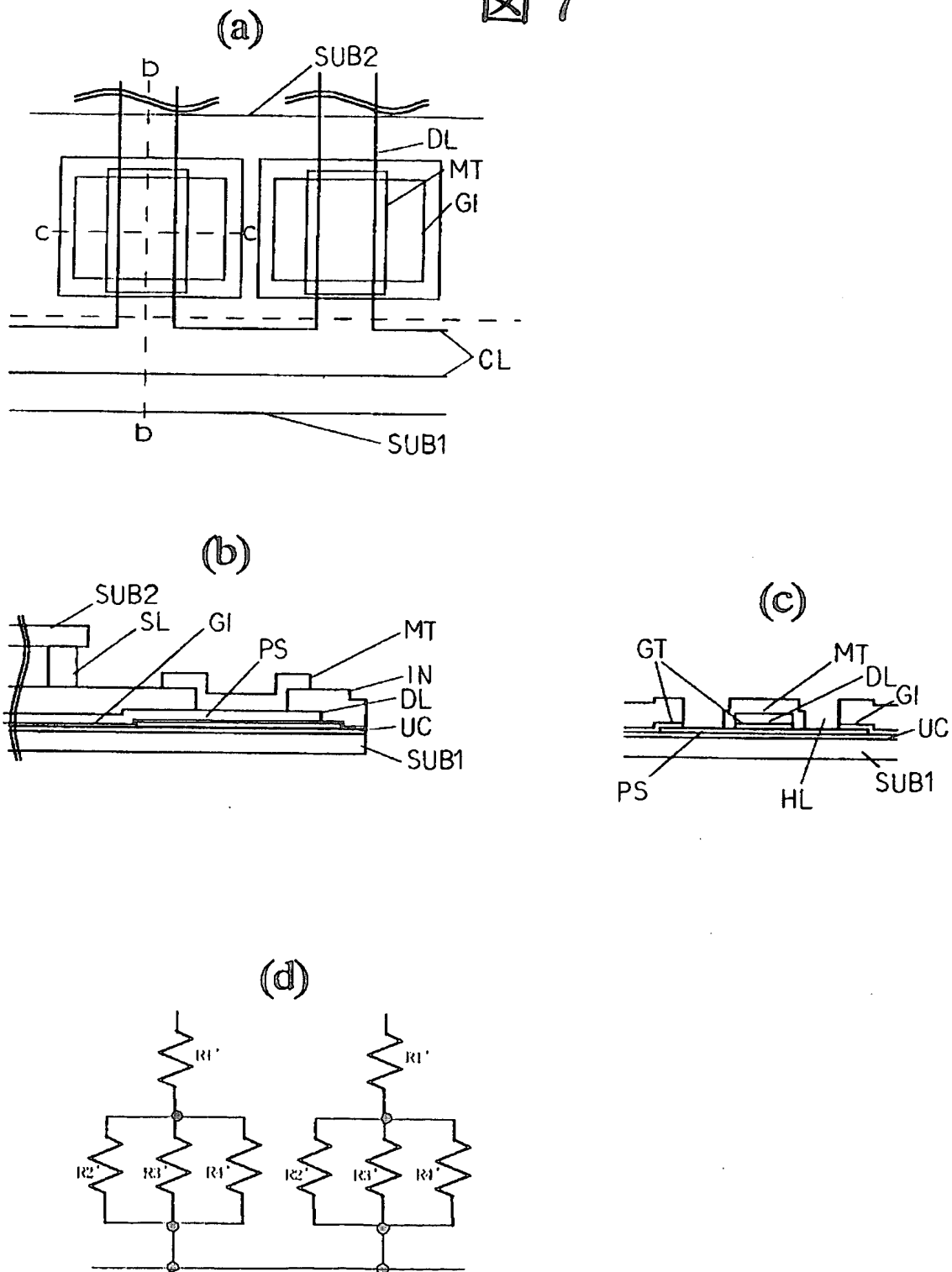
【図 6】

図 6



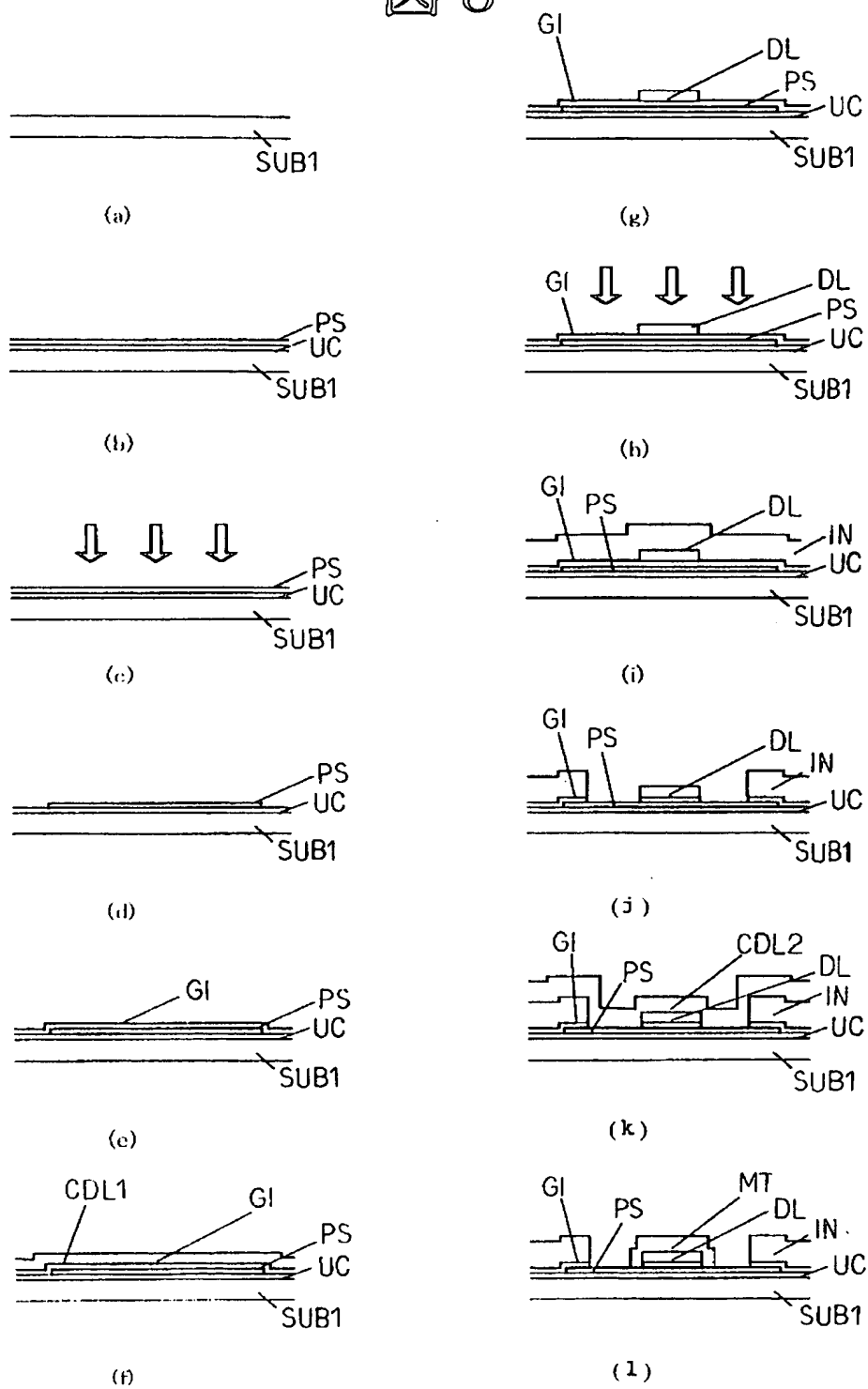
【図 7】

図 7



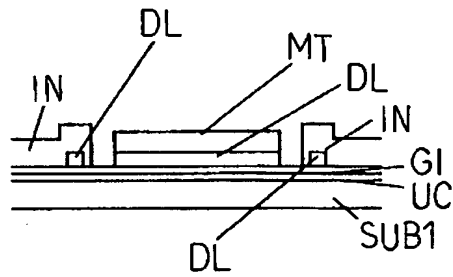
【図 8】

8



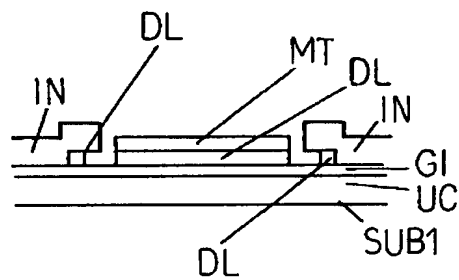
【図 9】

図 9



【図 10】

図 10



【書類名】 要約書

【要約】

【課題】 静電気による弊害を解消させることのできる端子を備える表示装置を得る。

【解決手段】 基板の上面側に形成された信号線と、前記信号線をその端子部を除くように被って形成される絶縁膜と、前記端子部を横切るようにして前記信号線の延在方向に延在される導電層とからなり、

前記導電層の延在方向と平行な各辺のそれぞれと前記絶縁膜との間に隙間を有し、この隙間に相当する部分の前記信号線にその延在方向に沿った孔が形成されていることを特徴とする表示装置。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 2 7 0 5 5
受付番号	5 0 3 0 0 7 3 5 0 9 9
書類名	特許願
担当官	第二担当上席 0 0 9 1
作成日	平成 1 5 年 5 月 6 日

< 認定情報・付加情報 >

【提出日】 平成15年 5月 2日

次頁無

特願 2 0 0 3 - 1 2 7 0 5 5

出 願 人 履 歴 情 報

識別番号

[5 0 2 3 5 6 5 2 8]

1. 変更年月日

2 0 0 2 年 1 0 月 1 日

[変更理由]

新規登録

住 所

千葉県茂原市早野 3 3 0 0 番地

氏 名

株式会社 日立ディスプレイズ